

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-258879

(43)Date of publication of application : 16.09.2004

(51)Int.Cl.

G06F 12/14
G06F 3/153
G09G 3/20
G09G 3/36
G09G 5/00

(21)Application number : 2003-047594

(71)Applicant : SHARP CORP

(22)Date of filing : 25.02.2003

(72)Inventor : NAKAMURA MORITAKA

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display unit incorporating an EEPROM for preventing the erroneous rewriting of data in the EEPROM to be protected due to the error of a slave address.

SOLUTION: Data communication between a CPU and an interface control IC is performed by a serial clock signal, a serial data input/output signal, a write protect signal, and a chip select signal. When the chip select signal is not set as "1", a writing instruction is prevented from being transmitted from the interface control IC. Thus, to whether the writing processing of the EEPROM is performed is discriminated by using the two signals. Thus, a display device for performing double protection to surely prevent the erroneous rewriting of the EEPROM is provided.



LEGAL STATUS

[Date of request for examination]

10.08.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

The interface control means which controls I/O of data with an external device,

It has freely rewritable nonvolatile memory,

Said interface control means,

It is reception from said external device about the 2nd control signal which is a signal other than the 1st control signal concerned in the 1st control signal for identifying whether the data inputted from said external device are data for writing,

The display characterized by controlling the writing to the part in the nonvolatile memory in which said rewriting is free or all the fields of the data inputted from said external device based on said 1st and 2nd control signals,

[Claim 2]

Said interface control means,

The data storage section for display controls is included,

The display according to claim 1 characterized by controlling the writing to said data storage section for display controls of the data inputted from said external device based on said 1st and 2nd control signals,

[Claim 3]

Said interface control means,

The field information which shows the specific region which are some [in the nonvolatile memory in which said rewriting is free] fields is held,

Based on said the 1st and 2nd control signals and said field information, the writing to said specific region in the nonvolatile memory in which said rewriting of the data inputted from said external device is free is controlled,

The display according to claim 1 characterized by controlling the writing to fields other than said specific region in the nonvolatile memory in which said rewriting of the data inputted from said external device is free based on said 1st control signal.

[Claim 4]

Said interface control means is a display given in any 1 term to claims 1-4 characterized by outputting and inputting data in said external device and serial format.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

Especially this invention relates to the write protection of the data of EEPROM built in the indicating equipment about an indicating equipment.

[0002]

[Description of the Prior Art]

In recent years, the display with which EEPROM (Electrically Erasable Programmable Read Only Memory) is built in is known. Since the information about the specification of a display is stored, EEPROM built in the display is used. The information about the specification of a display is information, such as hysteresis, for example, the number of pixels, size, and a production stage, and brightness. By writing such information in EEPROM beforehand, when using a display, the information concerned can be read from EEPROM. Moreover, in order to protect the data in an indicating equipment, the key for write protection is set up, and only when the key sent from CPU is in agreement with the key set up beforehand, there is also an indicating equipment which can write in EEPROM. Moreover, the integrated circuit (henceforth "interface control IC") which controls I/O of data with an external device is prepared in the indicating equipment. The format that EEPROM is arranged in the location where the data communication of EEPROM and an external device becomes possible through interface control IC, external as a format of arrangement of EEPROM in the interior of a display, and the format that EEPROM is arranged in the location where an external device and the immediate data communication link of external device and EEPROM are attained are known.

[0003]

Moreover, there is also a display which stores the information (henceforth "setting information") about a setup of a display in EEPROM. Setting information is the information on bright one, contrast, gamma, a level display position, a perpendicular display position, etc. If the power source of this display is switched on, setting information will be read from EEPROM, based on that setting information, a setup in interface control IC and a setup of circumference ICs are performed, and a display starts. It is possible for this to perform various setup to a display by changing the data of EEPROM. Setting modification in interface control IC of after display starting is attained from the exterior, and a display is changed based on setting modification from the outside. In this case, since it is not rewritten, when a power source is switched on again, based on the setting information stored in EEPROM, a display starts the data of EEPROM from the beginning.

[0004]

Drawing 19 is the block diagram of the electronic device indicated by the Patent Publication Heisei No. 506680 [eight to] official report. The electronic device 103 is equipped with the RF transmitter-receiver 105, the interface 109, and EEPROM107, and the information showing the property of the RF transmitter-receiver 105 is stored in EEPROM107. This electronic device 103 is connected with the host computer 101 by the control bus 113, and a host computer 101 can do reading of the data from EEPROM107, and the writing of the data to EEPROM107 through the interface 109 in an electronic device 103.

[0005]

[Patent reference 1]

[0006]

[Problem(s) to be Solved by the Invention]

If based on the above-mentioned conventional technique, when the reclosing of the power source is carried out, the display which can rewrite the data of EEPROM through interface control IC from the exterior can be considered so that a display may start based on the last setting modification.

[0007]

In the above indicating equipments, the serial control method is learned as a method which controls I/O of the data between an external device and the interior of an indicating equipment. In addition, a serial control method is a data communication system between the equipment by the serial data input / output signal (henceforth "solvent deasphalting") with which data are transmitted for every bit. Hereafter, the approach (I2 C-bus method) by the two-wire system which is a typical approach is explained also in a serial control method.

[0008]

Drawing 2 is the block diagram of solvent deasphalting in the data communication by I2 C-bus method. Sequentially from a head, solvent deasphalting consists of "START", the slave address, "R/W", an acknowledgement signal, the address (in order to distinguish from the phrase the "address" used in the general semantics in this explanation, hereafter, it is called "the address in a configuration"), an acknowledgement signal, a "DATA", an acknowledgement signal, and "STOP" as shown in drawing 2. "START" is a signal showing initiation of data transfer. The slave address is the address of the equipment of the data transfer point. For example, it is the address of EEPROM or interface control IC. "R/W" reads, comes out and has processing -- or it writes in and comes out and it is shown whether it is --. Processing reads and comes out, in a certain case, it is set up by "1", processing writes in and comes out, and, in a certain case, "R/W" is set up by "0." The next acknowledgement signal of "R/W" is a reply signal from the data transfer point to data transfer origin. The address in a configuration is the address which performs data I/O in the equipment shown in the slave address. For example, they are the addresses, such as, the address of the data storage point in EEPROM, a DA converter in liquid crystal, a crystal control, an AD converter, and a liquid crystal panel. The next acknowledgement signal of the address in a configuration is a reply signal which tells data transfer origin about the data transfer point having received data normally. "DATA" is data transmitted and received. The next acknowledgement signal of "DATA" is a reply signal which tells a data source about the receiving side of data having received data normally.

[0009]

When reading and the writing of data by this method are performed, the processing object is judged by the slave address. The slave address is distinguished with the combination of the value of the triplet constituted by A0, and A1 and A2. When a processing object is interface control IC, the address of interface control IC is inputted into the slave address of solvent deasphalting, and the address of EEPROM is inputted into the slave address of solvent deasphalting when a processing object is EEPROM. moreover, processing writes in and comes out and there is -- or it reads and comes out, it is distinguished by "R/W" and the write protect signal (henceforth "WC") of solvent deasphalting whether it is, and only when WC is set as "0", the writing to EEPROM of it is attained.

[0010]

Drawing 3 is the block diagram of a signal in case reading of data is performed in the data communication by I2 C-bus method. A serial clock signal (henceforth "SCL") and solvent deasphalting are needed for reading processing of data. Data are read from the address specified in the address in a configuration of solvent deasphalting by sending from CPU solvent deasphalting which synchronized with SCL.

[0011]

Drawing 4 is the block diagram of a signal in case the writing of data is performed in the data

communication by I2C-bus method. SCL, and solvent deasphalting and WC are needed for write-in processing of data. If solvent deasphalting which synchronized with SCL is sent from CPU while WC is set as "0", write-in processing of data will be performed to the address specified in the address in a configuration of solvent deasphalting.

[0012]

When an above-mentioned approach is used, interface control IC and EEPROM is distinguished only by the slave address of solvent deasphalting. In this case, if the address of EEPROM is accidentally inputted into the slave address of solvent deasphalting when writing should be carried out to interface control IC, the data of EEPROM which should be protected will write and replace.

[0013]

So, in this invention, incorrect rewriting of the data of EEPROM by the error of the slave address etc. is prevented, and it aims at realizing more positive protection of the data of EEPROM.

[0014]

[Means for Solving the Problem]

The 1st invention is an interface control means which controls I/O of data with an external device,

It has freely rewritable nonvolatile memory,

Said interface control means,

It is reception from said external device about the 2nd control signal which is a signal other than the 1st control signal concerned in the 1st control signal for identifying whether the data inputted from said external device are data for writing, It is characterized by controlling the writing to the part in the nonvolatile memory in which said rewriting is free on all the fields of the data inputted from said external device based on said 1st and 2nd control signals.

According to such the 1st invention, it is distinguishable using two signals whether it is write-in processing to freely rewritable nonvolatile memory. The double protection which prevents incorrect rewriting of freely rewritable nonvolatile memory more certainly by this is realizable. For this reason, the display with which incorrect rewriting of the rewritable nonvolatile memory by the error of the slave address etc. was reduced can be offered.

[0015]

The 2nd invention is set to the 1st invention,

Said interface control means,

The data storage section for display controls is included,

It is characterized by controlling the writing to said data storage section for display controls of the data inputted from said external device based on said 1st and 2nd control signals.

According to such the 2nd invention, it is distinguishable using two signals whether it is write-in processing to the data storage section for display controls. Thereby, the double protection which prevents more certainly incorrect rewriting of the data storage section for display controls is realizable. For this reason, the display which also had incorrect rewriting of the data storage section for display controls reduced in addition to incorrect rewriting of EEPROM by the error of the slave address etc. can be offered.

[0016]

The 3rd invention is set to the 1st invention,

Said interface control means,

The field information which shows the specific region which are some [in the nonvolatile memory in which said rewriting is free] fields is held,

Based on said the 1st and 2nd control signals and said field information, the writing to said specific region in the nonvolatile memory in which said rewriting of the data inputted from said external device is free is controlled,

It is characterized by controlling the writing to fields other than said specific region in the nonvolatile

memory in which said rewriting of the data inputted from said external device is free based on said 1st control signal.

According to such the 3rd invention, control of the writing to the nonvolatile memory in which the rewriting concerned is free is distinguishable with the field of freely rewritable nonvolatile memory. Thereby, the display which the data of freely rewritable nonvolatile memory can protect [more flexible] can be offered.

[0017]

The 4th invention is set to the 1st to 3rd invention,

Said interface control means is characterized by outputting and inputting data in said external device and serial format.

[0018]

[Embodiment of the Invention]

Hereafter, it explains, referring to an accompanying drawing about the operation gestalt of this invention.

<The configuration of 1. display>

Drawing 5 is the whole display block diagram concerning this operation gestalt. The liquid crystal module 100 is equipped with interface control IC2 and EEPROM6 and the liquid crystal control 7, and the liquid crystal control 7 is constituted by the liquid crystal panel 3, AD converter 4, and DA converter 5. Moreover, interface control IC 2 has volatile memory (RAM), and the data storage section for display controls which consists of the liquid crystal panel setting data storage section 12 and the setting data storage section 13 for DAC is contained in the volatile memory. The liquid crystal module 100 is controlled by CPU1 which is an external device by the serial control method. The instruction for setting, such as up bright one, contrast, gamma level, display position, a perpendicular display position, etc. is performed through interface control IC 2 from CPU1. EEPROM6 is arranged so that CPU1 and data communication can be performed through interface control IC 2. Thereby, the instruction to EEPROM6 from CPU1 is performed through interface control IC 2. As for reading of the data from interface control IC 2, SCL and solvent deasphalting are needed. As for the writing of the data to interface control IC 2, SCL and solvent deasphalting and WC are needed. As for reading of the data from EEPROM6, SCL and solvent deasphalting are needed. Moreover, in addition to WC which is the 1st control signal and is conventionally needed for the writing of the data to EEPROM6, interface control IC 2 controls the writing to EEPROM6 based on the 2nd control signal. Suppose that a chip select signal (henceforth referred to as "SCS") is used as the 2nd control signal in this operation gestalt. Thereby, as for the writing of the data to EEPROM6, in addition to SCL, and WC and solvent deasphalting, SCS is needed.

[0019]

Drawing 6 is a block diagram showing the signal used for the data communication of CPU1 and interface control IC 2 in this operation gestalt. As shown in drawing 6, SCL8, WC9, and SCS10 and solvent deasphalting11 are used for the data communication of CPU1 and interface control IC 2.

[0020]

Drawing 7 is a block diagram showing the signal used for data communication with interface control IC2 and EEPROM6 in this operation gestalt. As shown in drawing 7, SCL8, and WC9 and solvent deasphalting11 are used for data communication with interface control IC2 and EEPROM6.

[0021]

<2. data I/O>

Hereafter, the radial transfer of the data to the liquid crystal control 7 and EEPROM6 is explained.

Drawing 1 is drawing showing the set point of the signal used for data communication in the indicating equipment concerning this operation gestalt. In addition, in drawing 1, the configuration of the signal sent to interface control IC 2 from CPU1 is shown in the column currently described as "CPU->I/F C-IC", and the configuration of the signal sent to EEPROM6 from interface control IC 2 is shown in the column currently described as "I/F C-IC->EEPROM." Moreover, drawing 8 is drawing having shown an example of the set point of the slave address in the data communication by I2 C-bus method. In addition,

although = (A0, A1, A2) (1, 1, 1) and the slave address of EEPROM6 are set up for the slave address of the liquid crystal control 7 in this explanation with = (A0, A1, A2) (0, 0, 0), the set point of the slave address is not limited to this.

[0022]

<2.1 Data from liquid crystal control to external device reading->

When reading data into external CPU1 from the liquid crystal control 7, solvent deasphalting11 which synchronized with SCL8 is sent from external CPU1. As shown in drawing 1, the slave address of solvent deasphalting11 is set as = (A0, A1, A2) (1, 1, 1). Moreover, "R/W" of solvent deasphalting11 is set as "1." The data stored in the address specified in the address in a configuration of solvent deasphalting11 by this are read. In addition, as shown in drawing 1, reading of data is not influenced by WC9 and SCS10 from the liquid crystal control 7 to external CPU1.

[0023]

Drawing 9 is a block diagram which expresses the data flow in the case of reading of the data from the liquid crystal control 7 to external CPU1 in this operation gestalt. For example, if the address of a liquid crystal panel 3 is specified as the address in a configuration of solvent deasphalting11, data will be read into CPU1 from the liquid crystal panel setting data storage section 12 which stores the setting information on a liquid crystal panel 3 through interface control IC 2. Moreover, although the data of DA converter 5, used for a setup of bright one, contrast, gamma, etc. are stored in the setting data storage section 13 for DAC, if the address of DA converter 5 is specified as the address in a configuration of solvent deasphalting11, data will be read into CPU1 from the setting data storage section 13 for DAC through interface control IC 2. Moreover, a temperature sensor and photosensor may be connected to a port of AD converter 4. If the address of AD converter 4 is specified as the address in a configuration of solvent deasphalting11, information, such as temperature and luminous intensity, will be read into CPU1 through interface control IC 2. Although SCL8 and solvent deasphalting11 also reach EEPROM6, since the address specified as the slave address of solvent deasphalting11 is not the address of EEPROM6, reading of the data from EEPROM6 is not performed.

[0024]

<2.2 Write-in > of the data to the liquid crystal control from an external device

When writing in the data to the liquid crystal control 7 from external CPU1 and WC9 is set as "0" as shown in drawing 1, solvent deasphalting11 which synchronized with SCL8 is sent from external CPU1. As shown in drawing 1, the slave address of solvent deasphalting11 is set as = (A0, A1, A2) (1, 1, 1). Moreover, "R/W" of solvent deasphalting11 is set as "0." Data are written in the address specified in the address in a configuration of solvent deasphalting11 by this. In addition, as shown in drawing 1, the writing of the data to the liquid crystal control 7 from external CPU1 is not influenced by SCS.

[0025]

Drawing 10 is a block diagram which expresses the data flow in the case of the writing of the data to the liquid crystal control 7 from external CPU1 in this operation gestalt. For example, when changing the data of a liquid crystal panel 3, the address of a liquid crystal panel 3 is specified as the address in a configuration of solvent deasphalting11. Thereby, the contents of the "DATA" of solvent deasphalting11 are written in a liquid crystal panel 3 through interface control IC 2. The data written in the liquid crystal panel 3 are written also in the liquid crystal panel setting data storage section 12 in interface control IC 2 in that case. Moreover, when changing a setup of bright one, contrast, gamma, etc., the address of DA converter 5 is specified as the address in a configuration of solvent deasphalting11. Thereby, the contents of the "DATA" of solvent deasphalting11 are written in DA converter 5 through interface control IC 2. The data written in DA converter 5 are written also in the setting data storage section 13 for DAC in interface control IC 2 in that case.

Although SCL8, and WC9 and solvent deasphalting11 also reach EEPROM6, since the address specified as the slave address of solvent deasphalting11 is not the address of EEPROM6, the writing of the data

to EEPROM6 is not performed.

[0026]

<2.3 Data from EEPROM6 to external device reading->

When reading the data from EEPROM6 to external CPU1, solvent deasphalting11 which synchronized with SCL8 is sent from CPU1. As shown in drawing 1, the slave address of solvent deasphalting11 is set as $= (A0, A1, A2) (0, 0, 0)$. Moreover, "R/W" of solvent deasphalting11 is set as "1." Thereby, based on SCL8 and solvent deasphalting11 which were sent from external CPU1, SCL8 and solvent deasphalting11 are sent to EEPROM6 from interface control IC 2. And the data of EEPROM6 stored in the address specified in the address in a configuration of solvent deasphalting11 based on SCL8 and solvent deasphalting11 which were sent to EEPROM6 from interface control IC 2 are read into CPU1 through interface control IC 2, as shown in drawing 11. In addition, as shown in drawing 1, reading of the data from EEPROM6 to external CPU1 is not influenced by WC9 and SCS10.

[0027]

<2.4 Write-in > of the data from an external device to EEPROM

Drawing 12 is a block diagram which expresses a setup of SCS10 in CPU1 in this operation gestalt. CPU1 shall have the set point (henceforth "a write-in identifier") for distinguishing whether the processing to perform is write-in processing, and the write-in identifier shall be set as "1" at the time of write-in processing. Here, in the CPU1 interior, as for CPU1, "0" and a write-in identifier set $= (A0, A1, A2) (0, 0, 0)$ and WC9, SCS10 as "1", only when the slave address of solvent deasphalting11 is set as "1". On the other hand, although interface control IC 2 controls the writing to EEPROM6 based on WC9 and SCS10, if SCS10 is not set as "1", a write-in instruction is not sent to EEPROM6. This will add distinction of whether a writing place is EEPROM6 to the slave address of the conventional solvent deasphalting11, and it will be judged by SCS10.

[0028]

When writing in the data from CPU1 to external EEPROM6, as shown in drawing 1, solvent deasphalting11 to which WC9 synchronized with SCL8 when "0" and SCS10 were set as "1" is sent from CPU1. As shown in drawing 1, the slave address of solvent deasphalting11 is set as $= (A0, A1, A2) (0, 0, 0)$. Moreover, "R/W" of solvent deasphalting11 is set as "0." Thereby, based on SCL8 and WC9 which were sent from CPU1, and solvent deasphalting11 and SCS10, SCL8, and WC9 and solvent deasphalting11 are sent to EEPROM6 from interface control IC 2. And based on SCL8 sent to EEPROM6 from interface control IC 2, and WC9 and solvent deasphalting11, as the contents of the "DATA" of solvent deasphalting11 show drawing 13, it is written in EEPROM6 through interface control IC 2.

[0029]

On the other hand, when performing the writing to the liquid crystal control 7 and WC9 is set as "0", solvent deasphalting11 by which the slave address is set as $= (A0, A1, A2) (1, 1, 1)$ is sent synchronizing with SCL8. Here, when the slave address of solvent deasphalting11 is changed into $= (A0, A1, A2) (0, 0, 0)$ by the effect of a noise, although SCL8, and WC9 and solvent deasphalting11 are received by interface control IC 2, SCS10 set as "1" is not received by interface control IC 2. Since interface control IC 2 does not send the write-in instruction to EEPROM6 if it does not receive SCS10 set as "1", the write-in instruction to EEPROM6 is not sent in this case. Thus, the incorrect writing to EEPROM6 is prevented.

[0030]

<2.5 > write-in [to liquid crystal control of the data of EEPROM at the time of liquid crystal module starting]

Drawing 14 is a block diagram showing the data flow at the time of starting of the liquid crystal module 100 in this operation gestalt. If the liquid crystal module 100 is started, the data stored in EEPROM6 will be read and the read data will be written in a liquid crystal panel 3 or DA converter 5 through interface control IC 2. The data read from EEPROM6 are written also in the liquid crystal panel setting data

storage section 12 in interface control IC 2, and the setting data storage section 13 for DAC in that case.

[0031]

<3. effectiveness>

As mentioned above, in addition to the write protect signal 9 used from the former, the chip select signal 10 is used with this operation gestalt. And the chip select signal 10 to EEPROM6 with which it was set as "1" from CPU1 only in writing is sent, and unless interface control IC 2 receives the chip select signal 10 set as "1", the write-in instruction to EEPROM6 from interface control IC 2 is not sent.

Thereby, it becomes distinguishable from the writing to EEPROM6, and the writing to the liquid crystal control 7 with two control signals, and the display to EEPROM6 which can prevent incorrect writing can be offered.

[0032]

In addition, although the display with which data communication by I2 C-bus method which used the write protect signal and the chip select signal is performed was mentioned as the example and this operation gestalt explained it, this invention is not limited to this and can be realized in equipment equipped with the rewritable nonvolatile memory which performs data communication using two control signals, and an interface control means.

[0033]

<4. modification>

<4.1 Modification 1> Drawing 15 is a block diagram showing the signal used for the data communication of the CPU1 and interface control IC 2 concerning this modification. Drawing 16 is a block diagram showing the signals used for data communication with the interface control IC 2 and EEPROM6 concerning this modification.

In this modification, un-opening the signal pin of SCS10 to the public is supposed outside after shipment of a display. It is lost that SCS10 is not received by interface control IC 2, and a write-in instruction is sent to EEPROM6 from interface control IC 2 by this. Therefore, although after shipment of this equipment indicating equipment is possible for reading the data of EEPROM6, the writing of the data to EEPROM6 becomes impossible. This becomes possible to protect the data of EEPROM6 completely. In addition, a signal pin covering a wrap or un-opening a signal pin to the public is supposed outside by removing the connector of a signal pin.

[0034]

<4.2 Modification 2>

Drawing 17 is drawing showing an example of the data configuration of EEPROM6 in this operation gestalt. The data of EEPROM6 are constituted from this example by key data, liquid crystal module specification data, liquid crystal module special setting data, the setting data for DAC, liquid crystal panel setting data, and OPEN data. The data which should be protected so that there may be no line crack of rewriting after shipment are described as "a special setup" at the remarks column. Thus, only some data are specially protected about the data of EEPROM6.

[0035]

A storage means hold the address (henceforth the "special setting address") with which the data which should be specially protected within EEPROM6 are stored in the interface control IC 2 of the display concerning this modification, and a decision means to by which the address (henceforth the "writing place address") of the writing place of the write-in instruction sent from CPU1 judges specially whether it is the setting address are established. Interface control IC will judge with a decision means whether the writing place address corresponds to the setting address specially, if the write-in instruction to EEPROM6 from CPU1 is received. And if the write-in instruction to EEPROM6 is sent and it does not correspond to the setting address specially only when SCS10 is set as "1", if it corresponds to the setting address specially, it is not concerned with the set point of SCS10, but the write-in instruction to EEPROM6 is sent. Moreover, the setting address is specially stored in the above-mentioned storage

means before shipment of a display.

[0036]

Drawing 18 is drawing showing the set point of the signal in the display concerning this modification. In addition, the configuration of the signal sent to interface control IC 2 from CPU1 is shown in the column currently described as "CPU->I/F C-IC" like drawing 1, and the configuration of the signal sent to EEPROM6 from interface control IC 2 is shown in the column currently described as "I/F C-IC->EEPROM." Moreover, "OPEN" is in the condition of having been opened wide electrically.

[0037]

The case where solvent deasphalting11 by which the slave address is set as $= (A0, A1, A2) (0, 0, 0)$ is sent from CPU1 in this modification synchronizing with SCL8 when WC9 is set as "0" is explained. First, when SCS10 is set as "1", it is not concerned with the address of a writing place, but a write-in instruction is sent to EEPROM6. On the other hand, when SCS10 is set as "0", or when the signal of SCS10 is not sent, if the writing place address is except the setting address specially, a write-in instruction will be sent to EEPROM6, but if the writing place address is the setting address specially, a write-in instruction will not be sent to EEPROM6.

[0038]

According to the above configuration, the address with which the data which should protect EEPROM6 specially were stored can be held in the storage section. And the writing to EEPROM6 is controlled according to the writing place address. Thereby, protection of the data according to the significance of the data in EEPROM6 is attained.

[0039]

<4.3. Modification 3>

In this modification, a storage means to hold the setting address specially, and a decision means by which the writing place address judges specially whether it is the setting address are formed in interface control IC 2 like the modification 2. Moreover, interface control IC 2 controls the writing to EEPROM6 based on two control signals and the address stored in the storage means. Furthermore, after shipment, it is presupposing an opening the signal pin of SCS10 to the public outside like the modification 1.

[0040]

If it is made the above configuration, the address with which the data which should protect EEPROM6 specially were stored like the modification 2 can be held in the storage section. After shipment stops, moreover, receiving SCS10 by which interface control IC 2 was set as "1" like a modification 1. As for data other than the special setting address of EEPROM6, writing is performed based on SCL8, and WC9, and solvent deasphalting11, by this, although the data of the special setting address of EEPROM6 are possible for reading, writing is not performed, but protection of flexible data can be realized.

[0041]

<4.4 Modification 4>

In this modification, in the CPU1 interior, as for CPU1, "0" and a write-in identifier set $[= (A0, A1, A2) (1, 1, 1)$ and WC9] SCS10 as "0", when the slave address of solvent deasphalting11 is set as "1." On the other hand, interface control IC 2 does not send a write-in instruction to the data storage section for display controls in interface control IC 2, if SCS10 is not set as "0."

If it is made the above configuration, distinction of whether processing is writing will be carried out also for the data storage section for display controls in interface control IC 2 by two signals. The display which can realize data protection of the data storage section for display controls as well as protection of the data of EEPROM6 by this can be offered.

[0042]

[Effect of the Invention] According to
 1st invention, it is distinguishable using two signals whether it is write-in processing to freely rewritable nonvolatile memory. The double protection which prevents incorrect rewriting of freely rewritable nonvolatile memory more certainly by this is realizable. For this reason, the display with which incorrect rewriting of the rewritable nonvolatile memory by the error of

the slave address etc. was reduced can be offered.

[0043]

According to the 2nd invention, it is distinguishable using two signals whether it is write-in processing to the data storage section for display controls. Thereby, the double protection which prevents more certainly incorrect rewriting of the data storage section for display controls is realizable. For this reason, the display which also had incorrect rewriting of the data storage section for display controls reduced in addition to incorrect rewriting of EEPROM by the error of the slave address etc. can be offered.

[0044]

According to the 3rd invention, control of the writing to the nonvolatile memory in which the rewriting concerned is free is distinguishable with the field of freely rewritable nonvolatile memory. Thereby, the display which the data of freely rewritable nonvolatile memory can protect [more flexible] can be offered.

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the set point of the signal used for data communication in the indicating equipment concerning 1 operation gestalt of this invention.

[Drawing 2] It is the block diagram of solvent deasphalting in the data communication by I2 C-bus method.

[Drawing 3] It is the block diagram of a signal in case reading of data is performed in the data communication by I2 C-bus method.

[Drawing 4] It is the block diagram of a signal in case the writing of data is performed in the data communication by I2 C-bus method.

[Drawing 5] It is the whole display block diagram concerning 1 operation gestalt of this invention.

[Drawing 6] It is a block diagram showing the signal used for the data communication of CPU and interface control IC in 1 operation gestalt of this invention.

[Drawing 7] It is a block diagram showing the signal used for data communication with interface control IC and EEPROM in 1 operation gestalt of this invention.

[Drawing 8] It is drawing showing an example of the set point of the slave address in the data communication by I2 C-bus method.

[Drawing 9] It is the block diagram which expresses the data flow in the case of reading of the data from liquid crystal control in 1 operation gestalt of this invention.

[Drawing 10] It is the block diagram which expresses the data flow in the case of the writing of the data to liquid crystal control in 1 operation gestalt of this invention.

[Drawing 11] It is the block diagram which expresses the data flow in the case of reading of the data from EEPROM in 1 operation gestalt of this invention.

[Drawing 12] It is the block diagram which expresses a setup of the chip select signal in CPU in 1 operation gestalt of this invention.

[Drawing 13] It is the block diagram which expresses the data flow in the case of the writing of the data to EEPROM in 1 operation gestalt of this invention.

[Drawing 14] It is a block diagram showing the data flow at the time of starting of the liquid crystal module in 1 operation gestalt of this invention.

[Drawing 15] It is a block diagram showing the signal used for the data communication of the CPU and interface control IC concerning the 1st modification of this invention.

[Drawing 16] It is a block diagram showing the signal used for data communication with the interface control IC and EEPROM concerning the 1st modification of this invention.

[Drawing 17] It is drawing showing an example of the data configuration of EEPROM in 1 operation gestalt of this invention.

[Drawing 18] It is drawing showing the set point of the signal in the display concerning the 2nd modification of this invention.

[Drawing 19] It is the block diagram of the electronic device by the conventional technique.

[Description of Notations]

- 1 -- CPU
- 2 -- Interface control IC
- 3 -- Liquid crystal panel
- 4 -- AD converter
- 5 -- DA converter
- 6 -- EEPROM
- 7 -- Liquid crystal control
- 8 -- SCL (serial clock signal)
- 9 -- WC (write protect signal)
- 10 -- SCS (chip select signal)
- 11 -- solvent deasphalting (a serial data input / output signal)
- 12 -- Liquid crystal panel setting data storage section
- 13 -- The setting data storage section for DAC
- 100 -- Liquid crystal module
- A0, A1, A2 -- Slave address

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original as accurately as possible.

2. ** shows the word which cannot be translated.**

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the set point of the signal used for data communication in the indicating equipment concerning 1 operation gestalt of this invention.

[Drawing 2] It is the block diagram of solvent deasphalting in the data communication by I2 C-bus method.

[Drawing 3] It is the block diagram of a signal in case reading of data is performed in the data communication by I2 C-bus method.

[Drawing 4] It is the block diagram of a signal in case the writing of data is performed in the data communication by I2 C-bus method.

[Drawing 5] It is the whole display block diagram concerning 1 operation gestalt of this invention.

[Drawing 6] It is a block diagram showing the signal used for the data communication of CPU and interface control IC in 1 operation gestalt of this invention.

[Drawing 7] It is a block diagram showing the signal used for data communication with interface control IC and EEPROM in 1 operation gestalt of this invention.

[Drawing 8] It is drawing showing an example of the set point of the slave address in the data communication by I2 C-bus method.

[Drawing 9] It is the block diagram which expresses the data flow in the case of reading of the data from

liquid crystal control in 1 operation gestalt of this invention.

[Drawing 10] It is the block diagram which expresses the data flow in the case of the writing of the data to liquid crystal control in 1 operation gestalt of this invention.

[Drawing 11] It is the block diagram which expresses the data flow in the case of reading of the data from EEPROM in 1 operation gestalt of this invention.

[Drawing 12] It is the block diagram which expresses a setup of the chip select signal in CPU in 1 operation gestalt of this invention.

[Drawing 13] It is the block diagram which expresses the data flow in the case of the writing of the data to EEPROM in 1 operation gestalt of this invention.

[Drawing 14] It is a block diagram showing the data flow at the time of starting of the liquid crystal module in 1 operation gestalt of this invention.

[Drawing 15] It is a block diagram showing the signal used for the data communication of the CPU and interface control IC concerning the 1st modification of this invention.

[Drawing 16] It is a block diagram showing the signal used for data communication with the interface control IC and EEPROM concerning the 1st modification of this invention.

[Drawing 17] It is drawing showing an example of the data configuration of EEPROM in 1 operation gestalt of this invention.

[Drawing 18] It is drawing showing the set point of the signal in the display concerning the 2nd modification of this invention.

[Drawing 19] It is the block diagram of the electronic device by the conventional technique.

[Description of Notations]

1 -- CPU

2 -- Interface control IC

3 -- Liquid crystal panel

4 -- AD converter

5 -- DA converter

6 -- EEPROM

7 -- Liquid crystal control

8 -- SCL (serial clock signal)

9 -- WC (write protect signal)

10 -- SCS (chip select signal)

11 -- solvent deasphalting (a serial data input / output signal)

12 -- Liquid crystal panel setting data storage section

13 -- The setting data storage section for DAC

100 -- Liquid crystal module

A0, A1, A2 -- Slave address

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-258879

(P2004-258879A)

(43) 公開日 平成16年9月16日 (2004.9.16)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 12/14	G06F 12/14 310F	5B017
G06F 3/153	G06F 12/14 310H	5B069
G09G 3/20	G06F 3/153 333A	5C006
G09G 3/36	G09G 3/20 612P	5C080
G09G 5/00	G09G 3/20 631K	5C082

審査請求 未請求 請求項の数 4 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2003-47594 (P2003-47594)
 (22) 出願日 平成15年2月25日 (2003.2.25)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 中村 守孝
 大阪府大阪市阿倍野区長池町2番22号
 シャープ株式会社内
 Fターム (参考) 5B017 AA02 BA04 BB03 CA11
 5B069 LA20
 5C006 AF25 AF46 AF51 AF62 AF63
 AF81 AF82 BC16 BF09 BF16
 BF39 EA03 EC02 FA54

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】EEPROMを内蔵する表示装置において、スレーブアドレスの誤りなどによる、保護すべきEEPROM内のデータの誤書き換えを防止できる表示装置を提供する。

【解決手段】CPUとインターフェースコントロールICとのデータ通信は、シリアルクロック信号とシリアルデータ入力/出力信号とライトプロテクト信号とチップセレクト信号とによって行われる。チップセレクト信号が「1」に設定されていないと、インターフェースコントロールICからEEPROMに書き込み命令が発信されないようにする。これにより、EEPROMへの書き込み処理であるか否かを2つの信号を用いて区別できる。このため、EEPROMの誤書き換えをより確実に防止する2重保護が可能な表示装置を提供することが実現される。

【選択図】

図1

CPU-I/F C-IC	I/F C-IC-EEPROM				スレーブアドレス設定				指定機能			
	スレーブアドレス設定		指定場所		スレーブアドレス設定		指定場所		図9		図10	
	WC	SCS	A0	A1	A2	WC	A0	A1	A2	図9	図10	図11
WC	0	0	1	1	1	1	1	1	1	書き込み	書き込み	書き込み
SCS	0	0	1	1	1	0	1	0	0	書き込み	書き込み	書き込み
A0	0	0	1	1	1	0	0	0	0	書き込み	書き込み	書き込み
A1	0	0	1	1	1	0	0	0	0	書き込み	書き込み	書き込み
A2	0	0	1	1	1	0	0	0	0	書き込み	書き込み	書き込み

*: 0, 1及び無信号でもOK

【特許請求の範囲】

【請求項 1】

外部装置とのデータの入出力を制御するインターフェース制御手段と、
書き換え自在の不揮発性メモリとを備え、
前記インターフェース制御手段は、
前記外部装置から入力されるデータが書き込み用データであるか否かを識別するための第
1 の制御信号とともに、当該第 1 の制御信号とは別の信号である第 2 の制御信号を前記外
部装置から受け取り、
前記第 1 および第 2 の制御信号に基づき、前記外部装置から入力されるデータの前記書き
換え自在の不揮発性メモリにおける一部または全部の領域への書き込みを制御することを 10
特徴とする表示装置。

【請求項 2】

前記インターフェース制御手段は、
表示制御用データ格納部を含み、
前記第 1 および第 2 の制御信号に基づき、前記外部装置から入力されるデータの前記表示
制御用データ格納部への書き込みを制御することを特徴とする、請求項 1 に記載の表示装
置。

【請求項 3】

前記インターフェース制御手段は、
前記書き換え自在の不揮発性メモリにおける一部の領域である特定領域を示す領域情報を 20
保持し、
前記第 1 および第 2 の制御信号ならびに前記領域情報に基づき、前記外部装置から入力さ
れるデータの前記書き換え自在の不揮発性メモリにおける前記特定領域への書き込みを制
御し、
前記第 1 の制御信号に基づき、前記外部装置から入力されるデータの前記書き換え自在の
不揮発性メモリにおける前記特定領域以外の領域への書き込みを制御することを特徴とす
る、請求項 1 に記載の表示装置。

【請求項 4】

前記インターフェース制御手段は、前記外部装置とシリアル形式でデータを入出力すること
を特徴とする、請求項 1 から 4 までのいずれか 1 項に記載の表示装置。 30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に関し、特に、表示装置に内蔵されている E E P R O M のデータの書
き込み保護に関する。

【0002】

【従来の技術】

近年、E E P R O M (E l e c t r i c a l l y E r a s a b l e P r o g r a m m
a b l e R e a d O n l y M e m o r y) が内蔵されている表示装置が知られてい
る。表示装置に内蔵されている E E P R O M は、例えば、表示装置の仕様に関する情報を 40
格納するために用いられている。表示装置の仕様に関する情報とは、例えば画素数、サイ
ズ、生産時期の履歴、および輝度などの情報である。このような情報をあらかじめ E E P
R O M に書き込みしておくことにより、表示装置を使用するときに E E P R O M から当該
情報を読み込むことができる。また、表示装置内のデータを保護するために保護用のキー
を設定し、C P U から送られたキーがあらかじめ設定されたキーと一致した場合のみ E E
P R O M への書き込みが可能な表示装置もある。また、表示装置には、外部装置とのデー
タの入出力を制御する集積回路（以下「インターフェースコントロール I C」という）が
設けられている。表示装置内部における E E P R O M の配置の形式としては、E E P R O
M と外部装置とのデータ通信がインターフェースコントロール I C を介して可能となる位
置に E E P R O M が配置される形式と、E E P R O M が外部装置と直接データ通信が可能 50

となる位置に E E P R O M が配置される形式とが知られている。

【0003】

また、表示の設定に関する情報（以下「設定情報」という）を E E P R O M に格納している表示装置もある。設定情報とは、例えばブライト、コントラスト、ガンマ、水平表示位置および垂直表示位置などの情報である。この表示装置の電源を投入すると設定情報が E E P R O M から読み込まれ、その設定情報に基づいてインターフェースコントロール I C 内の設定や周辺 I C 類の設定が行われ、表示装置が起動する。これにより、E E P R O M のデータを変更することにより表示装置に様々な設定を行うことが可能となっている。表示装置起動後は、外部からインターフェースコントロール I C 内の設定変更が可能となっており、外部からの設定変更に基づいて表示が変更される。この場合には E E P R O M のデータは書き換えられないため、再度電源を投入したときには当初から E E P R O M に格納されている設定情報に基づいて表示装置が起動する。 10

【0004】

図 19 は、特表平 8-506680 号公報に開示された電子的装置の構成図である。電子的装置 103 には R F 送受信機 105 とインタフェース 109 と E E P R O M 107 とが備えられており、E E P R O M 107 には R F 送受信機 105 の特性を表す情報が格納されている。この電子的装置 103 は制御バス 113 によりホストコンピュータ 101 と接続されており、ホストコンピュータ 101 は電子的装置 103 内のインタフェース 109 を介して E E P R O M 107 からのデータの読み込みと E E P R O M 107 へのデータの書き込みができる。 20

【0005】

【特許文献 1】

特表平 8-506680 号公報

【0006】

【発明が解決しようとする課題】

上記従来技術に基づく、電源を再投入したときに前回の設定変更に基づいて表示装置が起動するように、外部からインターフェースコントロール I C を介して E E P R O M のデータを書き換えることが可能な表示装置が考えられる。

【0007】

上述のような表示装置において、外部装置と表示装置内部との間のデータの入出力を制御する方式としてシリアルコントロール方式が知られている。なお、シリアルコントロール方式とは、1 ビット毎にデータが伝送されるシリアルデータ入力/出力信号（以下「S D A」という）による装置間のデータ通信方式である。以下、シリアルコントロール方式の中でも代表的な方法である 2 線式による方法（I 2 C バス方式）について説明する。 30

【0008】

図 2 は、I 2 C バス方式によるデータ通信における S D A の構成図である。図 2 に示すとおり S D A は先頭から順に、「S T A R T」、スレーブアドレス、「R / W」、アクノリッジ信号、アドレス（以下、本説明において一般的な意味で用いる「アドレス」という語句と区別するため「構成内アドレス」という）、アクノリッジ信号、「D A T A」、アクノリッジ信号および「S T O P」で構成される。「S T A R T」は、データ転送の開始を表す信号である。スレーブアドレスは、データ転送先の装置のアドレスである。例えば、E E P R O M やインターフェースコントロール I C のアドレスである。「R / W」は、処理が読み込みであるのかそれとも書き込みであるのかを示している。「R / W」は、処理が読み込みである場合には「1」に設定され、処理が書き込みである場合には「0」に設定される。「R / W」の次のアクノリッジ信号は、データ転送先からデータ転送元への応答信号である。構成内アドレスは、スレーブアドレスで示された装置内においてデータ入出力を行うアドレスである。例えば、E E P R O M 内のデータ格納先のアドレスや液晶コントロール内の D A コンバータ、A D コンバータおよび液晶パネルなどのアドレスである。構成内アドレスの次のアクノリッジ信号は、データ転送先がデータを正常に受信したことをデータ転送元に知らせる応答信号である。「D A T A」は、送受信されるデータであ 40 50

る。「DATA」の次のアクノリッジ信号は、データの受信側がデータを正常に受信したことをデータ送信側に知らせる応答信号である。

【0009】

この方式によるデータの読み込みや書き込みが行われるとき、処理対象はスレーブアドレスにより判断されている。スレーブアドレスはA0とA1とA2とによって構成される3ビットの値の組み合わせにより区別される。処理対象がインターフェースコントロールICであるときはSDAのスレーブアドレスにはインターフェースコントロールICのアドレスが入力され、処理対象がEEPROMであるときはSDAのスレーブアドレスにはEEPROMのアドレスが入力される。また、処理が書き込みであるのかそれとも読み込みであるのかは、SDAの「R/W」とライトプロテクト信号（以下「WC」という）とによって区別され、WCが「0」に設定されている場合のみEEPROMへの書き込みが可能となる。 10

【0010】

図3は、I2Cバス方式によるデータ通信においてデータの読み込みが行われるときの信号の構成図である。データの読み込み処理にはシリアルクロック信号（以下「SCL」という）とSDAとが必要とされる。SCLと同期したSDAがCPUから発信されることによりSDAの構成内アドレスで指定されたアドレスからデータが読み込まれる。

【0011】

図4は、I2Cバス方式によるデータ通信においてデータの書き込みが行われるときの信号の構成図である。データの書き込み処理にはSCLとSDAとWCとが必要とされる。WCが「0」に設定されている間にSCLと同期したSDAがCPUから発信されると、SDAの構成内アドレスで指定されたアドレスにデータの書き込み処理が行われる。 20

【0012】

上述の方法を用いた場合、インターフェースコントロールICとEEPROMとは、SDAのスレーブアドレスによってのみ区別される。この場合、インターフェースコントロールICに書き込みが行われるべきときにSDAのスレーブアドレスに誤ってEEPROMのアドレスが入力されると、保護すべきEEPROMのデータが書き換わってしまう。

【0013】

そこで本発明では、スレーブアドレスの誤りなどによるEEPROMのデータの誤書き換えを防止し、EEPROMのデータのより確実な保護を実現することを目的とする。 30

【0014】

【課題を解決するための手段】

第1の発明は、外部装置とのデータの入出力を制御するインターフェース制御手段と、書き換え自在の不揮発性メモリとを備え、

前記インターフェース制御手段は、

前記外部装置から入力されるデータが書き込み用データであるか否かを識別するための第1の制御信号とともに、当該第1の制御信号とは別の信号である第2の制御信号を前記外部装置から受け取り、

前記第1および第2の制御信号に基づき、前記外部装置から入力されるデータの前記書き換え自在の不揮発性メモリにおける一部または全部の領域への書き込みを制御することを特徴とする。 40

このような第1の発明によれば、書き換え自在の不揮発性メモリへの書き込み処理であるか否かを2つの信号を用いて区別できる。これにより、書き換え自在の不揮発性メモリの誤書き換えをより確実に防止する2重保護が実現できる。このため、スレーブアドレスの誤りなどによる書き換え自在の不揮発性メモリの誤書き換えが低減された表示装置を提供することができる。

【0015】

第2の発明は、第1の発明において、

前記インターフェース制御手段は、

表示制御用データ格納部を含み、

前記第1および第2の制御信号に基づき、前記外部装置から入力されるデータの前記表示制御用データ格納部への書き込みを制御することを特徴とする。

このような第2の発明によれば、表示制御用データ格納部への書き込み処理であるか否かを2つの信号を用いて区別できる。これにより、表示制御用データ格納部の誤書き換えをより確実に防止する2重保護が実現できる。このため、スレーブアドレスの誤りなどによる、EEPROMの誤書き換えに加えて表示制御用データ格納部の誤書き換えをも低減された表示装置を提供することができる。

【0016】

第3の発明は、第1の発明において、

前記インターフェース制御手段は、

前記書き換え自在の不揮発性メモリにおける一部の領域である特定領域を示す領域情報を保持し、

前記第1および第2の制御信号ならびに前記領域情報に基づき、前記外部装置から入力されるデータの前記書き換え自在の不揮発性メモリにおける前記特定領域への書き込みを制御し、

前記第1の制御信号に基づき、前記外部装置から入力されるデータの前記書き換え自在の不揮発性メモリにおける前記特定領域以外の領域への書き込みを制御することを特徴とする。

このような第3の発明によれば、書き換え自在の不揮発性メモリの領域によって、当該書き換え自在の不揮発性メモリへの書き込みの制御を区別することができる。これにより、書き換え自在の不揮発性メモリのデータのより柔軟な保護が可能な表示装置を提供することができる。

【0017】

第4の発明は、第1から第3の発明において、

前記インターフェース制御手段は、前記外部装置とシリアル形式でデータを入出力することを特徴とする。

【0018】

【発明の実施の形態】

以下、本発明の実施形態について添付図面を参照しつつ説明する。

<1. 表示装置の構成>

図5は、本実施形態に係る表示装置の全体構成図である。液晶モジュール100は、インターフェースコントロールIC2と、EEPROM6と、液晶コントロール7とを備えており、液晶コントロール7は、液晶パネル3と、ADコンバータ4と、DAコンバータ5とによって構成されている。また、インターフェースコントロールIC2は揮発性メモリ(RAM)を有しており、その揮発性メモリには液晶パネル設定データ格納部12とDAC用設定データ格納部13とからなる表示制御用データ格納部が含まれている。液晶モジュール100は、外部装置であるCPU1によってシリアルコントロール方式で制御されている。プライト、コントラスト、ガンマ、水平表示位置および垂直表示位置などの設定をするための命令は、CPU1からインターフェースコントロールIC2を介して行われる。EEPROM6は、インターフェースコントロールIC2を介してCPU1とデータ通信ができるように配置されている。これによりCPU1からEEPROM6への命令は、インターフェースコントロールIC2を介して行われる。インターフェースコントロールIC2からのデータの読み込みはSCLとSDAとが必要とされる。インターフェースコントロールIC2へのデータの書き込みはSCLとSDAとWCとが必要とされる。EEPROM6からのデータの読み込みはSCLとSDAとが必要とされる。また、インターフェースコントロールIC2は、EEPROM6へのデータの書き込みに従来必要とされていた第1の制御信号であるWCに加えて第2の制御信号に基づきEEPROM6への書き込みを制御する。本実施形態においては、その第2の制御信号として、チップセレクト信号(以下「SCS」という)を用いることとする。これにより、EEPROM6へのデータの書き込みはSCLとWCとSDAとに加えてSCSが必要とされる。

10

20

30

40

50

【0019】

図6は、本実施形態においてCPU1とインターフェースコントロールIC2とのデータ通信に用いられる信号を表すブロック図である。図6に示すように、CPU1とインターフェースコントロールIC2とのデータ通信にはSCL8とWC9とSCS10とSDA11とが用いられる。

【0020】

図7は、本実施形態においてインターフェースコントロールIC2とEEPROM6とのデータ通信に用いられる信号を表すブロック図である。図7に示すように、インターフェースコントロールIC2とEEPROM6とのデータ通信にはSCL8とWC9とSDA11とが用いられる。

10

【0021】

<2. データ入出力>

以下、液晶コントロール7およびEEPROM6に対するデータの入出力処理について説明する。

図1は、本実施形態に係る表示装置においてデータ通信に用いられる信号の設定値を示す図である。なお、図1において、「CPU→I/F C-I-C」と記している欄にはCPU1からインターフェースコントロールIC2に発信される信号の構成を示し、「I/F C-I-C→EEPROM」と記している欄にはインターフェースコントロールIC2からEEPROM6に発信される信号の構成を示している。

また、図8は、I²Cバス方式によるデータ通信におけるスレーブアドレスの設定値の一例を示した図である。なお、本説明において液晶コントロール7のスレーブアドレスは(A0, A1, A2)=(1, 1, 1)、EEPROM6のスレーブアドレスは(A0, A1, A2)=(0, 0, 0)と設定されているが、スレーブアドレスの設定値はこれに限定されるものではない。

20

【0022】

<2. 1 液晶コントロールから外部装置へのデータの読み込み>

液晶コントロール7から外部のCPU1へデータの読み込みを行う場合、SCL8と同期したSDA11が外部のCPU1から発信される。図1に示すように、SDA11のスレーブアドレスは(A0, A1, A2)=(1, 1, 1)に設定される。また、SDA11の「R/W」は「1」に設定される。これによりSDA11の構成内アドレスで指定されたアドレスに格納されているデータが読み込まれる。なお、図1に示すように、液晶コントロール7から外部のCPU1へデータの読み込みは、WC9およびSCS10には影響されない。

30

【0023】

図9は、本実施形態において液晶コントロール7から外部のCPU1へのデータの読み込みの際のデータの流れを表すブロック図である。例えば、SDA11の構成内アドレスに液晶パネル3のアドレスが指定されると、液晶パネル3の設定情報を格納している液晶パネル設定データ格納部12からインターフェースコントロールIC2を介してCPU1にデータが読み込まれる。また、ブライトやコントラストやガンマなどの設定に使用されるDACコンバータ5のデータはDAC用設定データ格納部13に格納されているが、SDA11の構成内アドレスにDACコンバータ5のアドレスが指定されると、DAC用設定データ格納部13からインターフェースコントロールIC2を介してCPU1にデータが読み込まれる。また、ADコンバータ4には温度センサやフォトセンサが接続されることがある。SDA11の構成内アドレスにADコンバータ4のアドレスが指定されると、温度や光の強度などの情報がインターフェースコントロールIC2を介してCPU1に読み込まれる。

40

SCS10とSDA11とはEEPROM6にも到達するが、SDA11のスレーブアドレスに指定されているアドレスがEEPROM6のアドレスではないのでEEPROM6からのデータの読み込みは行われない。

【0024】

<2. 2 外部装置から液晶コントロールへのデータの書き込み>

50

外部のCPU1から液晶コントロール7へのデータの書き込みを行う場合、図1に示すようにWC9が「0」に設定されているときに、SCL8と同期したSDA11が外部のCPU1から発信される。図1に示すように、SDA11のスレーブアドレスは(A0, A1, A2) = (1, 1, 1)に設定される。また、SDA11の「R/W」は「0」に設定される。これによりSDA11の構成内アドレスで指定されたアドレスにデータが書き込まれる。なお、図1に示すように、外部のCPU1から液晶コントロール7へのデータの書き込みは、SCSには影響されない。

【0025】

図10は、本実施形態において外部のCPU1から液晶コントロール7へのデータの書き込みの際のデータの流れを表すブロック図である。例えば、液晶パネル3のデータを変更する場合、SDA11の構成内アドレスに液晶パネル3のアドレスが指定される。これにより、SDA11の「DATA」の内容がインターフェースコントロールIC2を介して液晶パネル3に書き込まれる。その際、液晶パネル3に書き込まれたデータはインターフェースコントロールIC2内の液晶パネル設定データ格納部12にも書き込まれる。また、ブライトやコントラストやガンマなどの設定を変更する場合、SDA11の構成内アドレスにDAコンバータ5のアドレスが指定される。これにより、SDA11の「DATA」の内容がインターフェースコントロールIC2を介してDAコンバータ5に書き込まれる。その際、DAコンバータ5に書き込まれたデータはインターフェースコントロールIC2内のDAC用設定データ格納部13にも書き込まれる。SCL8とWC9とSDA11とはEEPROM6にも到達するが、SDA11のスレーブアドレスに指定されているアドレスがEEPROM6のアドレスではないのでEEPROM6へのデータの書き込みは行われない。

【0026】

<2. 3 EEPROMから外部装置へのデータの読み込み>
EEPROM6から外部のCPU1へのデータの読み込みを行う場合、SCL8と同期したSDA11がCPU1から発信される。図1に示すように、SDA11のスレーブアドレスは(A0, A1, A2) = (0, 0, 0)に設定される。また、SDA11の「R/W」は「1」に設定される。これにより、外部のCPU1から発信されたSCL8とSDA11とに基づいてインターフェースコントロールIC2からEEPROM6にSCL8とSDA11とが発信される。そして、インターフェースコントロールIC2からEEPROM6に発信されたSCL8とSDA11とに基づいて、SDA11の構成内アドレスで指定されたアドレスに格納されているEEPROM6のデータが図11に示すようにインターフェースコントロールIC2を介してCPU1に読み込まれる。なお、図1に示すように、EEPROM6から外部のCPU1へのデータの読み込みは、WC9およびSCS10には影響されない。

【0027】

<2. 4 外部装置からEEPROMへのデータの書き込み>
図12は、本実施形態においてCPU1でのSCS10の設定を表すブロック図である。CPU1は実行する処理が書き込み処理であるか否かを区別するための設定値（以下「書き込み識別子」という）を有し、その書き込み識別子は書き込み処理のときに「1」に設定されるものとする。ここで、CPU1内部でSDA11のスレーブアドレスが(A0, A1, A2) = (0, 0, 0)かつWC9が「0」かつ書き込み識別子が「1」に設定されているときのみ、CPU1はSCS10を「1」に設定する。一方、インターフェースコントロールIC2は、WC9とSCS10とに基づきEEPROM6への書き込みを制御するが、SCS10が「1」に設定されていなければEEPROM6には書き込み命令を発信しない。これにより、書き込み先がEEPROM6であるか否かの区別を、従来のSDA11のスレーブアドレスに加えてSCS10によっても判断されることとなる。

【0028】

外部のCPU1からEEPROM6へのデータの書き込みを行う場合、図1に示すようにWC9が「0」かつSCS10が「1」に設定されているときに、SCL8と同期したS

10

20

30

40

50

SDA11がCPU1から発信される。図1に示すように、SDA11のスレーブアドレスは(A0, A1, A2) = (0, 0, 0)に設定される。また、SDA11の「R/W」は「0」に設定される。これにより、CPU1から発信されたSCL8とWC9とSDA11とSCS10とに基づいてインターフェースコントロールIC2からEEPROM6にSCL8とWC9とSDA11とが発信される。そして、インターフェースコントロールIC2からEEPROM6に発信されたSCL8とWC9とSDA11とに基づいて、SDA11の「DATA」の内容が図13に示すようにインターフェースコントロールIC2を介してEEPROM6に書き込まれる。

【0029】

一方、例えば液晶コントロール7への書き込みを行う場合、WC9が「0」に設定されているときに、スレーブアドレスが(A0, A1, A2) = (1, 1, 1)に設定されているSDA11がSCL8と同期して発信される。ここで、SDA11のスレーブアドレスがノイズの影響により(A0, A1, A2) = (0, 0, 0)に変更された場合、SCL8とWC9とSDA11とはインターフェースコントロールIC2に受信されるが、「1」に設定されたSCS10はインターフェースコントロールIC2に受信されない。インターフェースコントロールIC2は「1」に設定されたSCS10を受信しなければEEPROM6への書き込み命令を発信しないので、この場合はEEPROM6への書き込み命令は発信されない。このようにして、EEPROM6への誤書き込みが防止される。

【0030】

<2.5 液晶モジュール起動時におけるEEPROMのデータの液晶コントロールへの書き込み>

図14は、本実施形態における液晶モジュール100の起動時のデータの流れを表すブロック図である。液晶モジュール100を起動すると、EEPROM6に格納されたデータが読み込まれ、読み込まれたデータはインターフェースコントロールIC2を介して液晶パネル3やDACコンバータ5に書き込まれる。その際、EEPROM6から読み込まれたデータはインターフェースコントロールIC2内の液晶パネル設定データ格納部12およびDAC用設定データ格納部13にも書き込まれる。

【0031】

<3. 効果>

以上のように、本実施形態では、従来から用いられていたライトプロテクト信号9に加えてチップセレクト信号10が用いられている。そして、EEPROM6への書き込みの場合のみCPU1から「1」に設定されたチップセレクト信号10が発信され、インターフェースコントロールIC2が「1」に設定されたチップセレクト信号10を受信しない限りインターフェースコントロールIC2からEEPROM6への書き込み命令は発信されない。これにより、2つの制御信号にてEEPROM6への書き込みと液晶コントロール7への書き込みとの区別が可能となり、EEPROM6への誤書き込みの防止が可能な表示装置を提供することができる。

【0032】

なお、本実施形態では、ライトプロテクト信号とチップセレクト信号とを用いたI2Cバス方式によるデータ通信が行われる表示装置を例に挙げて説明したが、本発明はこれに限定されるものではなく、2つの制御信号を用いてデータ通信を行う、書き換え自在の不揮発性メモリとインターフェース制御手段とを備えた装置において実現できる。

【0033】

<4. 変形例>

<4.1 変形例1>

図15は、本変形例に係るCPU1とインターフェースコントロールIC2とのデータ通信に用いられる信号を表すブロック図である。図16は、本変形例に係るインターフェースコントロールIC2とEEPROM6とのデータ通信に用いられる信号を表すブロック図である。本変形例においては、表示装置の出荷後はSCS10の信号ピンが外部に未公開とされている。これにより、SCS10がインターフェースコントロールIC2に受信

されることがなく、インターフェースコントロール IC 2 から E E P R O M 6 に書き込み命令が発信されることがなくなる。そのため、この表示装置の出荷後は、E E P R O M 6 のデータを読み込むことは可能であるが、E E P R O M 6 へのデータの書き込みができなくなる。これにより、E E P R O M 6 のデータを完全に保護することが可能となる。なお、信号ピンをカバーで覆うことによって又は信号ピンのコネクタを外すことによって、信号ピンは外部に未公開とされる。

【0034】

< 4. 2 変形例 2 >

図 17 は、本実施形態における E E P R O M 6 のデータ構成の一例を示す図である。この例では、E E P R O M 6 のデータは、キーデータと、液晶モジュール仕様データと、液晶モジュール特別設定データと、D A C 用設定データと、液晶パネル設定データと、O P E N データとによって構成されている。出荷後に書き換えが行われないように保護すべきデータは、備考欄に「特別設定」と記されている。このように、E E P R O M 6 のデータについて、一部のデータのみを特別に保護すべき場合がある。

【0035】

本変形例に係る表示装置のインターフェースコントロール IC 2 には、E E P R O M 6 内で特別に保護すべきデータが格納されているアドレス（以下「特別設定アドレス」という）を保持する記憶手段と、C P U 1 から発信された書き込み命令の書き込み先のアドレス（以下「書き込み先アドレス」という）が特別設定アドレスか否かを判断する判断手段とが設けられている。インターフェースコントロール IC は C P U 1 から E E P R O M 6 への書き込み命令を受信すると、書き込み先アドレスが特別設定アドレスに該当するか否かを判断手段によって判断する。そして、特別設定アドレスに該当すれば S C S 1 0 が「1」に設定されているときのみ E E P R O M 6 への書き込み命令を発信し、特別設定アドレスに該当しなければ S C S 1 0 の設定値に関わらず E E P R O M 6 への書き込み命令を発信する。また、特別設定アドレスは、表示装置の出荷前に前述の記憶手段に格納しておく。

【0036】

図 18 は、本変形例に係る表示装置における信号の設定値を示す図である。なお、図 1 と同様、「C P U → I / F C - I C」と記している欄には C P U 1 からインターフェースコントロール IC 2 に発信される信号の構成を示し、「I / F C - I C → E E P R O M 6」と記している欄にはインターフェースコントロール IC 2 から E E P R O M 6 に発信される信号の構成を示している。また、「O P E N」とは、電氣的に開放された状態のことである。

【0037】

本変形例にて、W C 9 が「0」に設定されているときに、スレーブアドレスが (A 0, A 1, A 2) = (0, 0, 0) に設定されている S D A 1 1 が S C L 8 と同期して C P U 1 から発信された場合について説明する。まず、S C S 1 0 が「1」に設定されているときは、書き込み先のアドレスに関わらず E E P R O M 6 に書き込み命令が発信される。一方、S C S 1 0 が「0」に設定されているときもしくは S C S 1 0 の信号が発信されていないときは、書き込み先アドレスが特別設定アドレス以外であれば E E P R O M 6 に書き込み命令が発信されるが、書き込み先アドレスが特別設定アドレスであれば E E P R O M 6 に書き込み命令は発信されない。

【0038】

以上の構成によれば、E E P R O M 6 の特別に保護すべきデータが格納されたアドレスを記憶部に保持することができる。そして、書き込み先アドレスに応じて、E E P R O M 6 への書き込みが制御される。これにより、E E P R O M 6 内のデータの重要度に応じたデータの保護が可能となる。

【0039】

< 4. 3 変形例 3 >

本変形例では変形例 2 と同様、インターフェースコントロール IC 2 には、特別設定アド

10

20

30

40

50

レスを保持する記憶手段と、書き込み先アドレスが特別設定アドレスか否かを判断する判断手段とが設けられている。また、インターフェースコントロール IC 2 は 2 つの制御信号と記憶手段に格納されたアドレスとに基づいて、EEPROM 6 への書き込みを制御する。さらに、変形例 1 と同様、出荷後は SCS10 の信号ピンを外部に未公開としている。

【0040】

以上の構成にすれば、変形例 2 と同様、EEPROM 6 の特別に保護すべきデータが格納されたアドレスを記憶部に保持することができる。また、変形例 1 と同様、出荷後は、インターフェースコントロール IC 2 は「1」に設定された SCS10 を受信しなくなる。これにより、EEPROM 6 の特別設定アドレス以外のデータは SCL8 と WC9 と SDA11 とに基づいて書き込みが行われ、EEPROM 6 の特別設定アドレスのデータは読み込みは可能であるが書き込みは行われず、柔軟なデータの保護が実現できる。

【0041】

< 4. 4 変形例 4 >

本変形例では、CPU 1 内部で SDA11 のスレーブアドレスが (A0, A1, A2) = (1, 1, 1) かつ WC9 が「0」かつ書き込み識別子が「1」に設定されているとき、CPU 1 は SCS10 を「0」に設定する。一方、インターフェースコントロール IC 2 は、SCS10 が「0」に設定されていなければインターフェースコントロール IC 2 内の表示制御用データ格納部に書き込み命令を発信しない。以上の構成にすれば、インターフェースコントロール IC 2 内の表示制御用データ格納部も 2 つの信号により処理が書き込みであるか否かの区別がされることとなる。これにより、EEPROM 6 のデータの保護と同様に表示制御用データ格納部のデータ保護をも実現できる表示装置を提供できる。

【0042】

【発明の効果】

第 1 の発明によれば、書き換え自在の不揮発性メモリへの書き込み処理であるか否かを 2 つの信号を用いて区別できる。これにより、書き換え自在の不揮発性メモリの誤書き換えをより確実に防止する 2 重保護が実現できる。このため、スレーブアドレスの誤りなどによる書き換え自在の不揮発性メモリの誤書き換えが低減された表示装置を提供することができる。

【0043】

第 2 の発明によれば、表示制御用データ格納部への書き込み処理であるか否かを 2 つの信号を用いて区別できる。これにより、表示制御用データ格納部の誤書き換えをより確実に防止する 2 重保護が実現できる。このため、スレーブアドレスの誤りなどによる、EEPROM の誤書き換えに加えて表示制御用データ格納部の誤書き換えをも低減された表示装置を提供することができる。

【0044】

第 3 の発明によれば、書き換え自在の不揮発性メモリの領域によって、当該書き換え自在の不揮発性メモリへの書き込みの制御を区別することができる。これにより、書き換え自在の不揮発性メモリのデータのより柔軟な保護が可能な表示装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係る表示装置においてデータ通信に用いられる信号の設定値を示す図である。

【図 2】I2C バス方式によるデータ通信における SDA の構成図である。

【図 3】I2C バス方式によるデータ通信においてデータの読み込みが行われるときの信号の構成図である。

【図 4】I2C バス方式によるデータ通信においてデータの書き込みが行われるときの信号の構成図である。

【図 5】本発明の一実施形態に係る表示装置の全体構成図である。

【図 6】本発明の一実施形態において CPU とインターフェースコントロール IC とのデータ通信に用いられる信号を表すブロック図である。

【図 7】本発明の一実施形態においてインターフェースコントロール IC と EEPROM とのデータ通信に用いられる信号を表すブロック図である。

【図 8】I2C バス方式によるデータ通信におけるスレーブアドレスの設定値の一例を示す図である。

【図 9】本発明の一実施形態において液晶コントロールからのデータの読み込みの際のデータの流れを表すブロック図である。

【図 10】本発明の一実施形態において液晶コントロールへのデータの書き込みの際のデータの流れを表すブロック図である。

10

【図 11】本発明の一実施形態において EEPROM からデータの読み込みの際のデータの流れを表すブロック図である。

【図 12】本発明の一実施形態において CPU でのチップセレクト信号の設定を表すブロック図である。

【図 13】本発明の一実施形態において EEPROM へのデータの書き込みの際のデータの流れを表すブロック図である。

【図 14】本発明の一実施形態における液晶モジュールの起動時のデータの流れを表すブロック図である。

【図 15】本発明の第 1 の変形例に係る CPU とインターフェースコントロール IC とのデータ通信に用いられる信号を表すブロック図である。

20

【図 16】本発明の第 1 の変形例に係るインターフェースコントロール IC と EEPROM とのデータ通信に用いられる信号を表すブロック図である。

【図 17】本発明の一実施形態における EEPROM のデータ構成の一例を示す図である。

【図 18】本発明の第 2 の変形例に係る表示装置における信号の設定値を示す図である。

【図 19】従来技術による電子的装置の構成図である。

【符号の説明】

- 1 … CPU
- 2 … インターフェースコントロール IC
- 3 … 液晶パネル
- 4 … AD コンバータ
- 5 … DA コンバータ
- 6 … EEPROM
- 7 … 液晶コントロール
- 8 … SCL (シリアルクロック信号)
- 9 … WC (ライトプロテクト信号)
- 10 … SCS (チップセレクト信号)
- 11 … SDA (シリアルデータ入力／出力信号)
- 12 … 液晶パネル設定データ格納部
- 13 … DAC 用設定データ格納部
- 100 … 液晶モジュール
- A0、A1、A2 … スレーブアドレス

30

40

【図 1】

CPU→I/F C-IC					I/F C-IC→EEPROM					設定箇所	設定機能	備考
スレーブアドレス設定					スレーブアドレス設定							
WC	SCS	A0	A1	A2	WC	A0	A1	A2	液晶コントロール	図9		
*	*	1	1	1	1	1	1	1		図10		
0	*	1	1	1	0	1	1	1		図11		
*	*	0	0	0	1	0	0	0		図13		
0	1	0	0	0	0	0	0	0				

*: 0、1及び無信号でもOK

【図 2】

START	スレーブアドレス	R/W	* アドレス	* データ	* STOP
-------	----------	-----	--------	-------	--------

*: ACK (アクリリッジ信号)

【図 3】

信号	START	スレーブアドレス	R/W	* アドレス	* データ	* STOP
SDA		[A2, A1, A0]	1	0	W6-W0	D7-D0

WC #

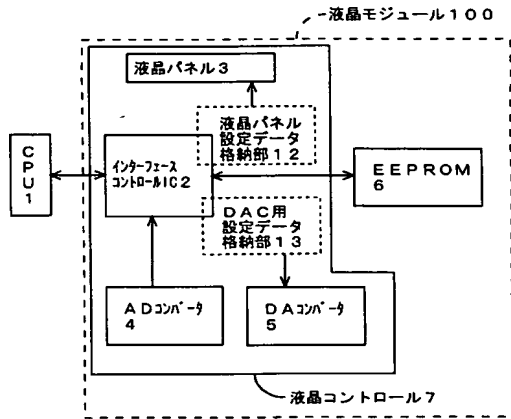
*: ACK (アクリリッジ信号)
#: 0、1及び無信号でもOK

【図 4】

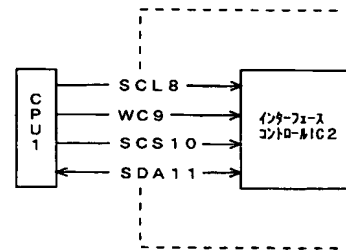
信号	START	スレーブアドレス	R/W	* アドレス	* データ	* STOP
SDA		[A2, A1, A0]	0	0	W6-W0	D7-D0

WC 1 0

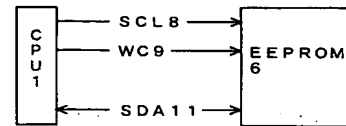
【図 5】



【図 6】



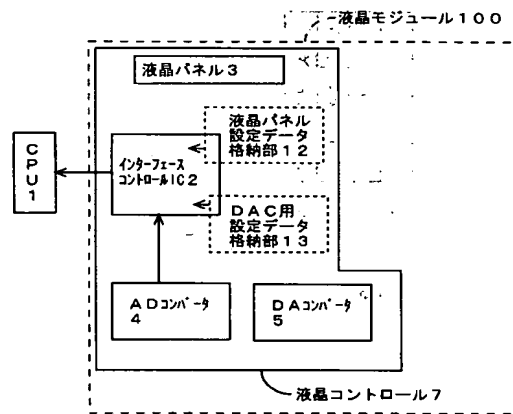
【図 7】



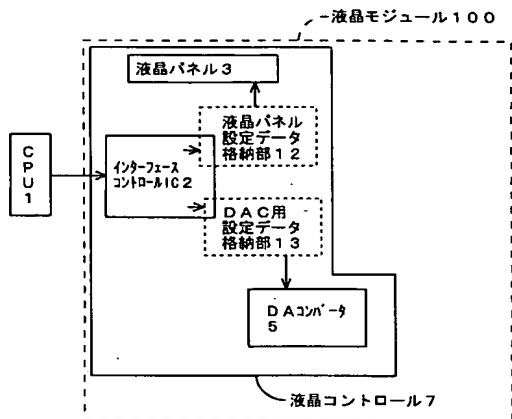
【図 8】

I2C BUS設定	スレーブアドレス設定		
	A0	A1	A2
EEPROM6	0	0	0
液晶コントロール7	1	1	1

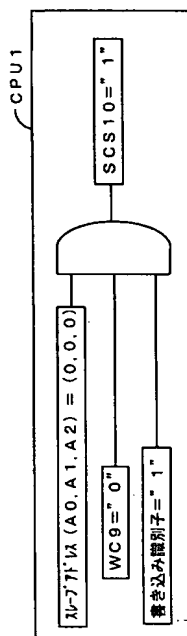
【図 9】



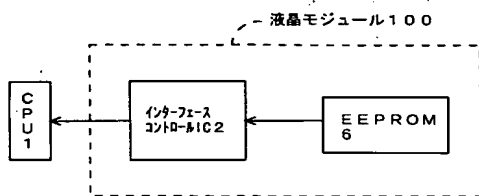
【図 10】



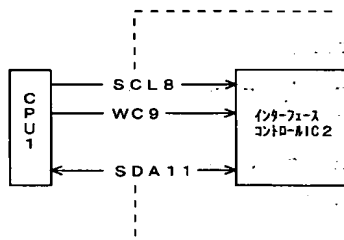
【図 12】



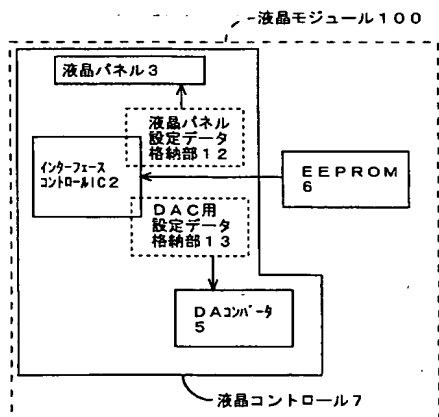
【図 11】



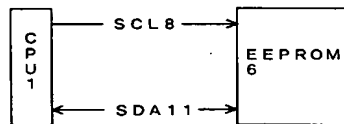
【図 15】



【図 14】



【図 16】



【図 17】

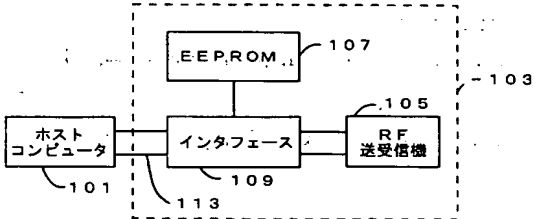
アドレス	データ内容	備考
00H-0FH	CPU-液晶モジュール キーデータ	特別設定
10H-7FH	液晶モジュール仕様データ	特別設定
70H-9FH	液晶モジュール特別設定	特別設定
A0H-AFH	DAコンバータ用設定データ	
B0H-BFH	液晶パネル設定データ	
CFH-FFH	OPENデータ	外部開放

【図 18】

CPU-I/F C-I-C					I/F C-I-C-EEPROM				設定箇所	設定機能	備考
スレーブアドレス設定			スレーブアドレス設定								
WC	SCS	A0	A1	A2	WC	A0	A1	A2	液晶コントロール	EEPROM	すべて書き込み可能 図13 特別設定以外 書き込み可能 図13 図17
*	#	1	1	1	*	1	1	1			
0	#	1	1	1	0	1	1	1			
*	#	0	0	0	1	0	0	0			
0	1	0	0	0	0	0	0	0			
0	#	0	0	0	0	0	0	0			

* 0, 1 どちらでもOK
※ 特別設定で入力された場合は、信号出力無し
0又は「OPEN」で設定可能

【図 19】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 3 3 B
G 0 9 G	3/20	6 7 0 F
G 0 9 G	3/36	
G 0 9 G	5/00	5 5 0 D
G 0 9 G	5/00	5 5 5 G

F ターム(参考) 5C080 AA10 BB05 DD09 DD30 EE28 GG02 GG15 GG17 JJ02 JJ04
JJ05
5C082 AA01 BB01 CB01 CB10 DA87